

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334137

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/095 21/338 49/00		7376-4M 7376-4M	H 0 1 L 29/ 80	E R
審査請求 未請求 請求項の数10 O L (全 10 頁)				

(21) 出願番号 特願平5-118049

(22) 出願日 平成5年(1993)5月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 草野 忠四郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 森 光廣

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 清水 敏彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 中村 純之助

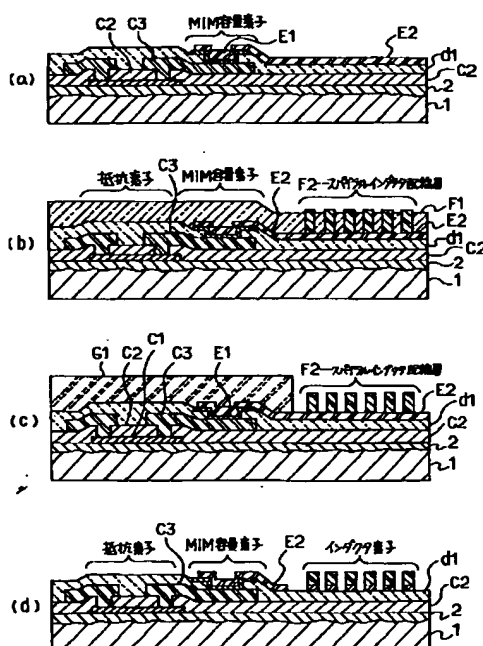
(54) 【発明の名称】 ハイブリッド集積回路およびその製造方法

(57) 【要約】

【目的】 高性能の受動素子を用いた受動回路チップと、高性能の能動素子を用いた能動回路チップとを有する、小型、低コストで高周波特性がすぐれたハイブリッド集積回路を得る。

【構成】 絶縁体基板1上に形成した平坦な誘電体被覆2上に、受動素子を有する受動回路チップと能動素子を有する能動回路チップ21を順次搭載し、各チップと絶縁体基板間を配線する。

図2



【特許請求の範囲】

【請求項1】絶縁体基板上に能動素子と受動素子とを形成したハイブリッド集積回路において、上記絶縁体基板上に形成した平坦な誘電体被膜と、該被膜上に形成した複数の受動素子を有する受動回路チップと、該チップ上に搭載した複数の能動素子を有する少なくとも1個以上の能動回路チップと、上記各半導体チップ上の回路と上記絶縁体基板上の回路間を接続する配線とを備えたことを特徴とするハイブリッド集積回路。

【請求項2】上記半導体チップ上の回路と上記絶縁体基板上の回路とを接続する配線は、ワイヤボンディングにより電気的に接続したものであることを特徴とする請求項1記載のハイブリッド集積回路。

【請求項3】上記半導体チップ上の回路と上記絶縁体基板上の回路とを接続する配線は、フリップチップボンディングにより電気的に接続したものであることを特徴とする請求項1記載のハイブリッド集積回路。

【請求項4】上記1個以上の半導体チップは、三五族化合物半導体を用いた集積回路または個別半導体素子で形成され、他がシリコン半導体を用いた集積回路または個別半導体素子からなることを特徴とする請求項1記載のハイブリッド集積回路。

【請求項5】上記半導体チップは、スパイラル型インダクタンスを含まないことを特徴とする請求項1記載のハイブリッド集積回路。

【請求項6】上記絶縁体基板は、複数の受動フィルタ素子を搭載していることを特徴とする請求項1記載のハイブリッド集積回路。

【請求項7】絶縁体基板上に能動素子と受動素子とを形成したハイブリッド集積回路において、樹脂型塗布液またはシリコン酸化物含有塗布液の誘電体被膜を、上記絶縁体基板の凹凸表面に塗布して平坦面とし、上記平坦面上に半導体集積回路プロセスを用いて、配線金属および抵抗素子、容量素子、スパイラル型インダクタンス等の受動素子を複数個形成し、さらにその上に、電界効果トランジスタやバイポーラトランジスタ等の能動素子を形成した半導体チップを1個以上搭載し、上記半導体チップ上の回路と上記絶縁体基板上の回路との間に配線したことを特徴とするハイブリッド集積回路の製造方法。

【請求項8】上記請求項1から請求項6のいずれかに記載したハイブリッド集積回路を、無線通信システムの高周波部に適用し、少なくとも低雑音増幅器、ミキサ、IF増幅器、発振器を搭載した高周波モジュール。

【請求項9】上記請求項1から請求項6のいずれかに記載したハイブリッド集積回路を、無線通信システムの高周波送信部に適用し、少なくとも、スイッチ回路、駆動増幅器、高出力増幅器、ミキサ、変調器のいずれかを搭載した高周波送信モジュール。

【請求項10】上記請求項8記載の高周波モジュールまたは上記請求項9記載の高周波送信モジュールのうち、

少なくともいずれか1つを搭載し、音声信号処理回路などで構成されるベースバンド部と結合した無線装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、無線通信システムで行う電波の送信用高周波回路に適用でき、小型、高性能で消費電力が低く、かつ、低価格なハイブリッド集積回路に関するものである。

【0002】

【従来の技術】従来の高周波回路では、例えば特開平4-30457号公報に示されるように、GaAs半絶縁性基板上にGaAsFET、スパイラルインダクタ、抵抗素子、容量素子を形成した能動回路チップと、同じくGaAs半絶縁性基板上にスパイラルインダクタ、抵抗素子、容量素子により形成したバイパス回路や整合回路、およびフィルタからなる受動回路チップとを、それぞれ別に形成し、同一パッケージ内で同一平面内に、上記2つのチップをマウントしたマルチチップモジュール型の高周波回路が提案されている。

【0003】ところで、携帯電話に代表される無線通信システムの高周波回路は、低消費電力で高性能であることはいうまでもなく、小型で低価格であることが強く要求されている。これらの要求に対して上記従来例（特開平4-30457号公報）では、上記受動回路チップの歩留りが良好なため製造コストの低減が可能であり、また、マルチチップモジュールであるため小型化が可能であった。

【0004】

【発明が解決しようとする課題】しかしながら上記従来技術においては、スパイラルインダクタに代表されるように、受動回路チップを形成する受動素子の高性能化をはかるためには大面積が必要になり、そのためコストが増大するだけでなく、同一平面上でのチップ間配線などのために寄生素子の影響を受けやすい。したがって高周波特性が劣化し、GaAs半絶縁性基板を用いた上記従来例のような高周波回路では、高周波システム全体を小型化することに対して問題があった。

【0005】本発明の目的は、高性能の受動素子を用いて形成する受動回路チップと、高性能の能動素子を用いて形成する能動回路チップとを別々に形成し、上記受動回路チップ上に上記能動回路チップを搭載して配線し、小型で低コストであり、かつ、高周波特性がすぐれたハイブリッド集積回路を得ることにある。

【0006】

【課題を解決するための手段】上記目的は、絶縁体基板上に能動素子と受動素子とを形成したハイブリッド集積回路において、上記絶縁体基板上に形成した平坦な誘電体被膜と、該被膜上に形成した複数の受動素子を有する受動回路チップと、該チップ上に搭載した複数の能動素子を有する少なくとも1個以上の能動回路チップと、

上記各半導体チップ上の回路と上記絶縁体基板上の回路間を接続する配線とを備えることにより達成される。

【0007】

【作用】従来技術では、化合物半導体などの半絶縁性の半導体基板上に受動回路と能動回路とを形成するが、その際、低コストをはかるために各素子の微細化が不可欠であった。したがって、特にスパイラルインダクタ素子では、損失が少ない高いQのインダクタを得ることが困難であり、また、大容量の容量素子を形成することも困難であるという問題点があった。しかしながら、本発明では絶縁体基板上に受動回路を形成するために、素子の微細化に対する要求が上記従来技術ほど強くなく、高性能のインダクタ素子や大容量の容量素子を比較的容易に形成することができる。しかし、通常の絶縁体基板は表面に凹凸があり、特に金属膜/誘電体膜/金属膜(MIM)のサンドイッチ型の容量素子を高密度容量にする場合は、上記誘電体膜の厚さを約100nm程度に薄くする必要があるため、絶縁体基板表面の平坦化を行わずに直接金属膜を堆積してMIM容量素子を形成すると、上記誘電体膜にピンホールなどが発生しやすく、再現性よく作製することが困難であった。

【0008】本発明では、凹凸がある絶縁体基板表面に、樹脂型塗布液やシリコン酸化物含有の塗布液などのような塗布性の絶縁体薄膜を形成することで平坦化し、その上半導体集積回路製造プロセスを用いて、インダクタ、容量素子、抵抗素子を形成した受動回路チップ上に、電界効果トランジスタ、バイポーラトランジスタ、ダイオード等の能動素子と容量素子、抵抗素子などを半導体基板上に形成した能動回路チップを搭載し、これらを電気的に接続している。すなわち、上記のように平坦化した絶縁体薄膜上に受動回路チップを形成するため、誘電体膜にピンホールが発生することなく、高密度容量を容易に作製することが可能になり、従来に比して高性能な受動回路を実現することができる。また、能動回路チップを上記受動回路チップの上に搭載するために、ハイブリッド集積回路全体としての大きさを小さくすることができ、さらに、複数の能動回路チップを搭載できるように、同一絶縁体基板上に複数の受動回路を形成してハイブリッド化することにより、多機能の集積回路を実現することができる。また、本集積回路を無線通信システムに適用する場合にはフィルタ素子が不可欠であるが、本発明では、上記フィルタ素子を上記絶縁性基板上に搭載することも可能であり、さらに、上記能動回路チップがGaAs基板およびSi基板の両方を含むことによって、より一層高周波における高性能、高機能化をはかることができる。能動回路を形成した半導体チップを絶縁体基板上に搭載するためには、これらを電気的に接続する方法として、例えばAl、Au、Cu等の細線によるワイヤボンディングや、フェースダウンボンディング法などの、従来から知られている方法を用いることが

できる。

【0009】上記各技術を用いることにより、量産性、コスト、信頼性および機能の面ですぐれたハイブリッド集積回路を実現し、移动通信システムに適した高周波回路を得ることができる。

【0010】

【実施例】つぎに本発明の実施例を図面とともに説明する。図1は本発明によるハイブリッド集積回路の第1実施例を示す製造工程図、図2は上記第1実施例の製造工程を示す図、図3は上記第1実施例におけるFETチップと受動回路基板をフリップチップボンディング接続した低雑音増幅器のレイアウトを示す図、図4は本発明の第2実施例としてFETチップと受動回路基板をワイヤボンディング接続した低雑音増幅器のレイアウトを示す図、図5は本発明の第3実施例として受動回路を形成する基板の製造工程を示す図、図6は上記第3実施例における低雑音増幅器の回路図とワイヤボンディング接続したレイアウトを示す図、図7は本発明の第4実施例としてFETを含む能動回路チップと受動回路基板をフリップチップボンディング接続した低雑音増幅器を示すレイアウト図、図8は上記各レイアウト図の各構成要素を示す図、図9は本発明の第5実施例として無線通信システムの高周波部の機能ブロックを示す図である。

【0011】第1実施例

本発明によるハイブリッド集積回路の受動回路を形成する基板の製造工程を図1(a)~(d)および図2(a)~(d)に示す。図1(a)のように表面に凹凸があるアルミナを主な成分とする絶縁体基板1上に、まず(b)に示すようにSiO₂を主成分とする塗布型絶縁膜2の層を形成して表面を平滑化する。つぎに(c)に示すように例えば窒化タングステンシリサイドによる抵抗体膜C1を堆積し、SiO₂の絶縁体層C2で被覆したのちコンタクト孔を形成し、ついで例えばアルミニウムを用いて第1配線層C3を形成して抵抗素子14をその一部に形成する。つぎに(d)に示すようにSiO₂の層間絶縁膜d1で全面を被覆する。その後図2(a)に示すように上記層間絶縁膜d1に必要な容量に相当する面積の孔をあけ、例えば窒化シリコンと酸化シリコンとの層構造である誘電体層E1で上記孔を覆い、その上に例えば金を主成分とする第2配線層E2を形成し、その一部にMIM容量素子10、11、13(図3参照)を形成する。ついで図2(b)のように表面全体をホトレジストF1で覆い、光リソグラフィ技術でスパイラルインダクタのバターニングを行って、例えば金めっき技術によりスパイラルインダクタ配線層F2を形成する。つぎに(c)のようにスパイラル領域のバターニングをホトレジストG1により行い、(d)に示すように上記スパイラルインダクタ配線F2間の第2配線層金属E2を除去して、インダクタ素子15、16、17(図3参照)を形成する。上記のようにして受動回路基

板を作製する。一方、半絶縁性GaAs基板上にイオン注入等の半導体集積回路プロセス技術を用いてFET素子チップ3を図3(b)に示すように作製する。引き続き上記FETチップ3をフリップチップボンディングを用いて受動回路基板4に搭載する。18はフリップチップ用ボンディングパッドである。最後に上記搭載された基板4を金属の箱によって保護する。上記のようにして作製したハイブリッド集積回路は、高周波特性にすぐれ、かつ小型で低コストであるという特徴を有している。

【0012】第2実施例

図4に本発明を用いた低雑音増幅器の他の実施例を示す。図1および図2に示した上記第1実施例のように、絶縁体基板1、例えばサファイア基板の表面に塗布型絶縁膜2、例えばポリイミド樹脂を主成分とする平滑な表面層を形成したのち、図1(c)、(d)および図2(a)~(d)の各工程を経て、図4に示す抵抗素子14、容量素子10、11、13、およびスパイラルインダクタ15、16、17からなる受動回路基板4を形成する。

【0013】つぎに半絶縁性GaAs基板上にエピタキシャル成長したヘテロ接合結晶を用いて形成した、例えばHEMTからなる能動素子チップ3を形成する。ついで、上記能動素子チップ3を能動回路基板4上に搭載し、ワイヤボンディング20を用いてそれぞれのボンディングパッドを接続し、ハイブリッド集積回路を形成する。その後、上記集積回路を金属ケース4に入れて保護する。このようにして作製した低雑音増幅回路は高周波特性にすぐれ、小型化を実現することができる。

【0014】第3実施例

図5および図6に本発明の第3実施例を示すが、図5は受動回路を形成する基板の作製工程をそれぞれ示し、図6(a)には本発明による低雑音増幅器の回路図を、(b)にはワイヤボンディングを用いたレイアウト図を示している。図5において、(a)のように表面に凹凸があるアルミナを主成分とする絶縁体基板1上に、(b)に示すようにSiO₂を主成分とする塗布型絶縁膜2を形成して表面を平滑化する。ついで、SiO₂の絶縁体層C2で被覆したのち、金を用いて第1配線層C3を形成し、(c)に示すように上記第1配線層C3の一部にスパイラルインダクタ配線C4を形成する。つぎに(d)のように層間絶縁膜d1で表面を覆い、引き続き(e)に示すように容量素子およびスパイラルインダクタ素子の領域に選択的に孔をあけ、上記容量素子部に誘電体層E1を形成し、その後第2配線層E2によりMIM容量素子とインダクタ素子を作製する。上記のようにして図6に示すインダクタ素子15、16、17、および金属膜/誘電体膜/金属膜で形成されたMIM容量素子13からなる受動回路基板22を形成する。特に、インダクタ素子では導体の厚さを大きくできるため、損

失が少ない良好な特性を実現できる。一方図6に示すように、半絶縁性GaAs基板上にMESFET素子23、抵抗素子14および金属膜/誘電体膜/金属膜で形成された容量素子10、11からなる能動回路チップ21を形成する。引き続き図6(b)に示すように、上記能動回路チップ21を受動回路基板22に搭載し、ワイヤボンディング20を用いて配線する。最後にこれらを金属の箱で保護するが、このように作製したハイブリッド集積回路は、高周波特性にすぐれ、かつ小型で低コストであるという特徴を有する。

【0015】第4実施例

図7は本発明の第4実施例を示す図であるが、(a)は本発明による低雑音増幅器の回路図、(b)はフリップチップボンディングを用いたレイアウト図である。第3実施例の図5に示したのと同様にして、スパイラルインダクタ15、16、17および金属膜/誘電体膜/金属膜で形成した容量素子13からなる受動回路基板22を作製する。一方半絶縁性GaAs基板上にエピタキシャル成長したヘテロ接合結晶を用いて形成した、例えばHEMT素子23、抵抗素子14および金属膜/誘電体膜/金属膜で形成した容量素子10、11からなる能動回路チップ21を形成する。つぎに上記能動回路チップ21をフリップチップ用ボンディングパッド18を用いて受動回路基板22に搭載する。最後にこれらを金属の箱によって保護する。上記のように作製したハイブリッド集積回路は、高周波特性にすぐれ、かつ小型で低コストであるという特徴を有する。

【0016】図8は上記各実施例におけるレイアウト図に用いた構成要素を、それぞれ示した図である。

【0017】第5実施例

つぎに本発明を用いた無線通信システムの高周波部を第5実施例として図9に示す。まず、第1実施例または第3実施例と同様、図9に示した低雑音増幅器24、ミキサ25、IF段増幅器26、変調器27、スイッチ回路28、駆動増幅器29、高出力増幅器30、周波数シンセサイザ31の受動回路部を、図1に示したように絶縁体基板1上に、スパイラルインダクタ、抵抗素子および金属膜/誘電体膜/金属膜で形成された容量素子を用いて形成する。表面弾性素子、または強誘電体共振器を用いたフィルタ素子32も、同じく受動回路基板上に搭載する。一方、半絶縁性GaAs基板上にエピタキシャル成長したヘテロ接合結晶を用いて形成したFET素子、またはバイポーラトランジスタ、抵抗素子および金属膜/誘電体膜/金属膜で形成された容量素子からなる、低雑音増幅器24、ミキサ25、変調器27、スイッチ回路28、駆動増幅器29、高出力増幅器30などの能動回路部を形成する。さらに、IF段増幅器26、周波数シンセサイザ31の能動回路部をSi-LSIを用いて形成し、上記GaAs基板上の能動回路とSi-LSIとを、上記受動回路を形成した絶縁体基板上に順次搭載

し、ワイヤボンディングまたはフリップチップボンディングにより電気的に接続する。最後に、金属ケースで被覆保護し完成する。上記のようにして作製したハイブリッド集積回路は、音声信号処理回路などで構成されるベースバンド部と接続し無線通信システムにおける小型で高性能の高周波部として活用できる。なお、上記フィルタ素子32については必ずしも本発明による受動回路絶縁体基板上に搭載する必要はなく、外部に設置してもよい。また、図9に示すようにベースバンド部も含む無線システム全体を、本発明による受動回路絶縁体基板上に形成することにより、さらに小型化が可能な無線装置を実現することができる。

【0018】上記実施例ではGaAsMESFET、HEMTを取り上げたが、ヘテロバイポーラトランジスタやそれ以外の能動素子であっても、同様の効果が得られることはいうまでもない。

【0019】

【発明の効果】上記のように本発明によるハイブリッド集積回路およびその製造方法は、絶縁体基板上に能動素子と受動素子とを形成したハイブリッド集積回路において、上記絶縁体基板上に形成した平坦な誘電体被覆と、該被覆上に形成した複数の受動素子を有する受動回路チップと、該チップ上に搭載した複数の能動素子を有する少なくとも1個以上の能動回路チップと、上記各半導体チップ上の回路と上記絶縁体基板上の回路間を接続する配線とを備えたことにより、高性能なスパイラルインダクタ、抵抗素子および高密度容量を特徴とする金属膜／誘電体膜／金属膜で形成された容量素子等による受動回路を、低コストの絶縁体基板上に従来の半導体集積回路プロセスで形成でき、さらに高性能な半導体能動回路チップをGaAsやSi基板上に個別に形成し、これらを一体化することができるので、小型で低コストな、しかも高周波特性にすぐれたハイブリッド集積回路を得ることができる。なお、フィルタ素子や発振回路、さらにベースバンド部用のLSIなどの素子も、本発明による受動回路絶縁体基板上に搭載することが可能であり、容易に多機能の高周波回路システムを得ることも可能であ

る。

【図面の簡単な説明】

【図1】本発明によるハイブリッド集積回路の第1実施例として、(a)～(d)に製造工程の一部を示す図である。

【図2】上記第1実施例における製造工程の他の一部を(a)～(d)に示す図である。

【図3】上記第1実施例による低雑音増幅器をフリップチップボンディング接続した例を示す図で、(a)は回路図、(b)はレイアウトを示す図である。

【図4】本発明による低雑音増幅器をワイヤボンディング接続した第2実施例を示す図で、(a)は回路図、(b)はレイアウトを示す図である。

【図5】本発明の第3実施例として受動回路を形成する基板を示し、(a)～(e)はその製造工程をそれぞれ示す図である。

【図6】上記実施例による低周波増幅器をワイヤボンディング接続した例を示す図で、(a)は回路図、(b)はレイアウトを示す図である。

【図7】上記低周波増幅器をフリップチップボンディング接続した第4実施例を示す図で、(a)は回路図、(b)はレイアウトを示す図である。

【図8】上記各レイアウト図におけるそれぞれの構成要素を示す図である。

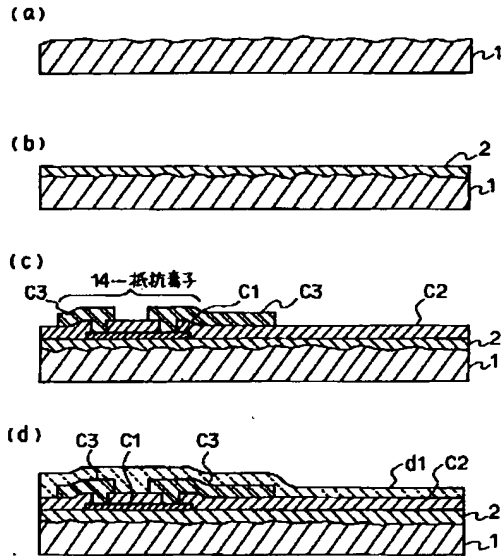
【図9】本発明の第5実施例として、無線通信システムにおける高周波部の機能ブロックを示す図である。

【符号の説明】

- 1 絶縁体基板
- 2 誘電体被覆
- 3、23 FETチップ
- 10、11、13 容量素子
- 14 抵抗素子
- 15、16、17 スパイラルインダクタ
- 18 フリップチップ用ボンディングパッド
- 20 ボンディング用配線
- 21 能動回路チップ
- 22 受動回路基板

【図1】

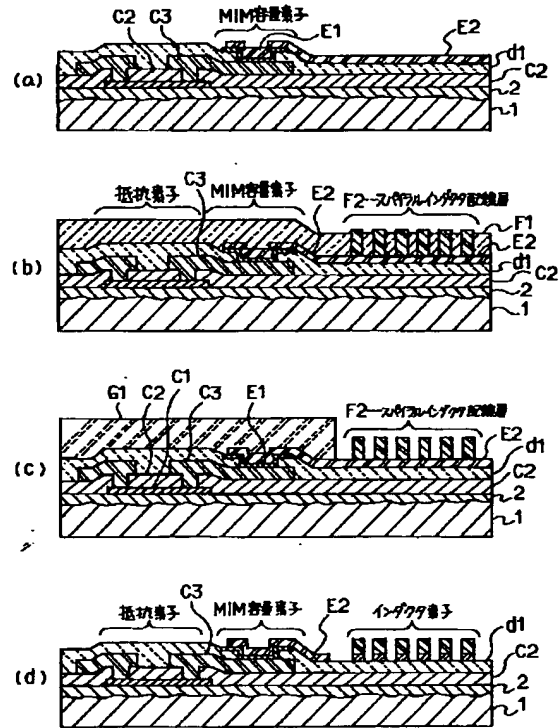
図1



- 1: 絶縁体基板 2: 誘電体被覆 3, 23: FETチャ
10, 11, 13: 容量素子 14: 抵抗素子
15, 16, 17: スパイラルインダクタ 18: プリファクタ用ボンディングパッド
20: ボンディング用配線 21: 能動回路チャ
22: 受動回路基板

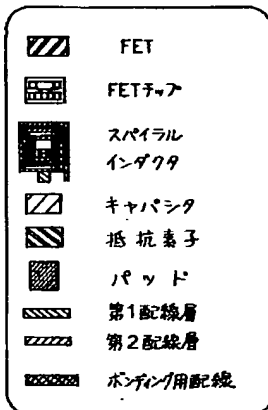
【図2】

図2



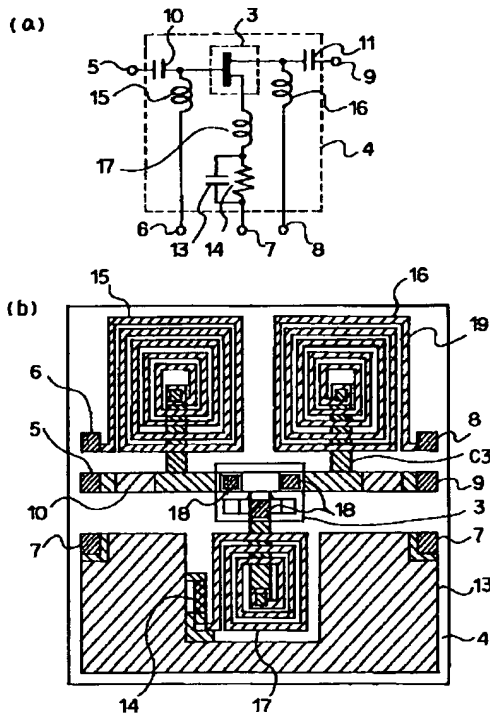
【図8】

図8



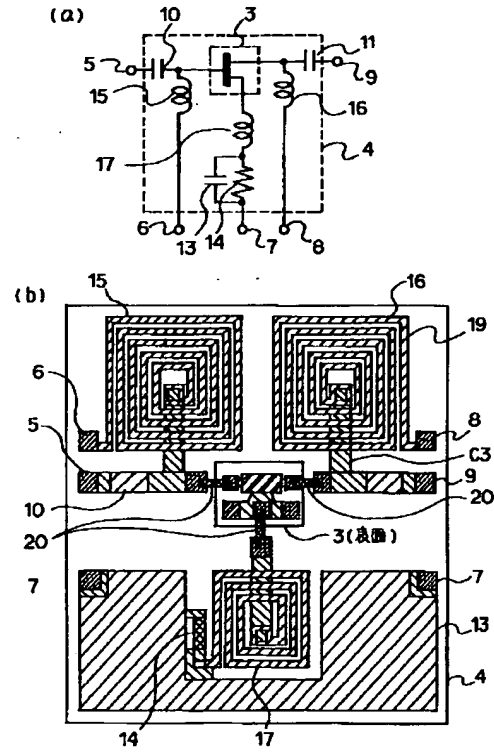
【図3】

図3



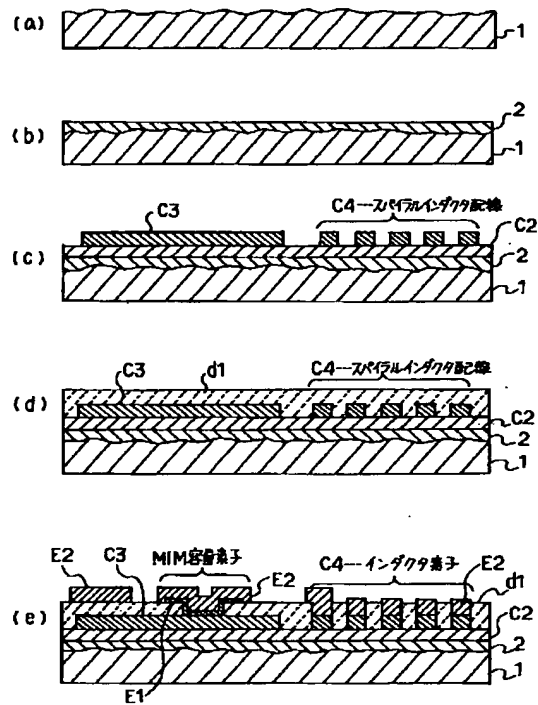
【図4】

図4

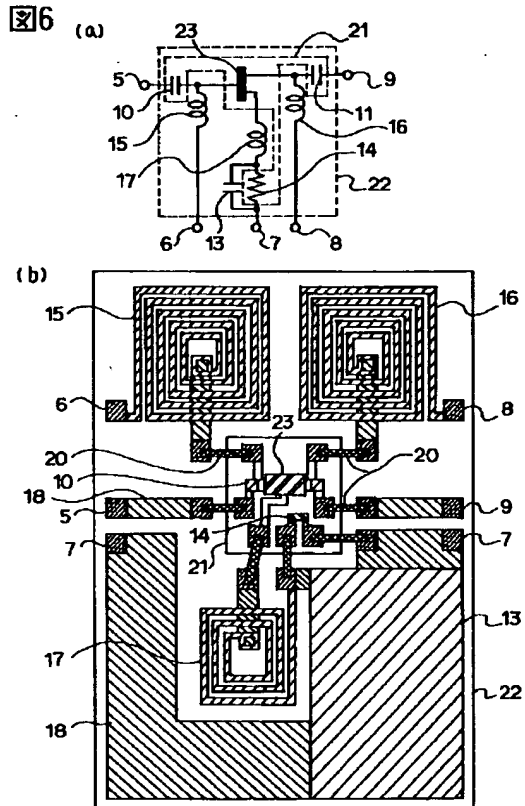


【図5】

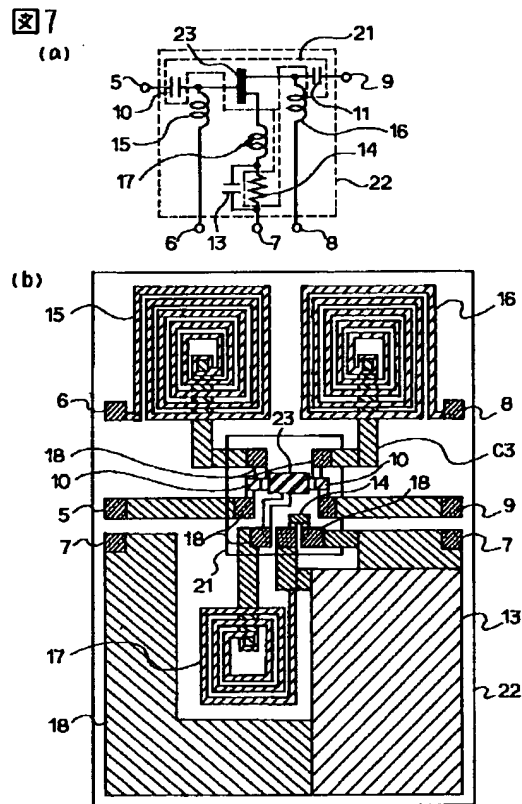
图 5



【図6】



【図7】



【図9】

図9

